

Title: SCAN PATH LAYOUT METHOD AND SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP2002076123

Publication date: 2002-03-15

Inventor: NAGATA EIJI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: H01L21/82; G01R31/28; G06F17/50; H01L27/04; H01L21/822

- european:

Application number: JP20000255963 20000825

Priority number(s):

View INPADOC patent family

Abstract of JP2002076123

PROBLEM TO BE SOLVED: To suppress an increase in a layout area of a LSI to the minimum by providing a dedicated wiring region for a scanning path circuit.

SOLUTION: An initial netlist (S101) having a no connected scanning path circuit is arranged by means of a cell arrangement processing (S102), the wiring region for the scanning path circuit is reserved by means of a wiring region reservation processing for the scanning circuit (S103), and a wiring processing except the scanning path circuit is carried out by means of a cell wiring processing (S104). Next, the wiring processing for the scanning path circuit is carried out by means of the wiring processing for the scanning circuit (S105), and a timing analysis processing (S106)/layout timing improvement processing (S107) is then carried out on the basis of the layout information. In the wiring processing for the scanning circuit, a clock driver that supplies a clock different from a clock supplied in the circuit is disposed in the position to supply from the reverse direction to a transported direction of data.

Data supplied from the esp@cenet database · Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76123

(P2002-76123A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 1 L 21/82		G 0 6 F 17/50	6 5 4 N 2 G 0 3 2
G 0 1 R 31/28			6 5 8 A 5 B 0 4 6
G 0 6 F 17/50	6 5 4	H 0 1 L 21/82	C 5 F 0 3 8
	6 5 8	G 0 1 R 31/28	G 5 F 0 6 4
H 0 1 L 27/04			V

審査請求 未請求 請求項の数10 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2000-255963 (P2000-255963)

(22) 出願日 平成12年8月25日 (2000.8.25)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 永田 栄治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100105647

弁理士 小栗 昌平 (外4名)

最終頁に続く

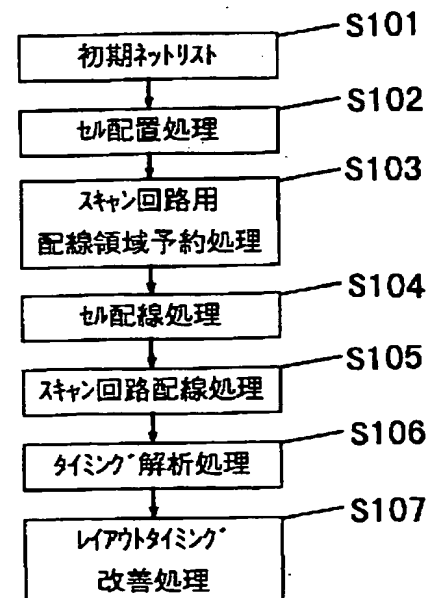
(54) 【発明の名称】 スキャンパスレイアウト方法及び半導体集積回路

(57) 【要約】 (修正有)

【課題】 スキャンパス回路の配線領域を専用に設けることにより、L S I のレイアウト面積の増大を最低限に抑える。

【解決手段】 スキャンパス回路の結線が行われていない初期ネットリスト (S101) がセル配置処理 (S102) によって配置処理され、スキャン回路用配線領域予約処理 (S103) によってスキャンパス回路用の配線領域が確保され、セル配線処理 (S104) によってスキャンパス回路以外の配線処理が行われる。次にスキャン回路配線処理 (S105) によってスキャンパス回路の配線処理が行われ以後、レイアウト情報をもとにタイミング解析処理 (S106) ・レイアウトタイミング改善処理 (S107) が行われる。スキャン回路配線処理では、回路に供給されるクロックとは異なるクロックを供給するクロックドライバを、データの搬送方向とは逆方向から供給する位置に配する。

本発明の工程図



【特許請求の範囲】

【請求項 1】 LSI 上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを決定するスキャンパスレイアウト方法において、

前記スキャンパス回路用のレイアウト領域を予め確保したのちに前記通常回路のレイアウトを決定し、前記通常回路のレイアウトを決定したのちに前記レイアウト領域に前記スキャンパス回路のレイアウトを決定する、ことを特徴とするスキャンパスレイアウト方法。

【請求項 2】 LSI 上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを決定するスキャンパスレイアウト方法において、

前記通常回路に供給されるクロックとは異なるクロックを前記スキャンパス回路に供給するためのクロックドライバを配することを特徴とするスキャンパスレイアウト方法。

【請求項 3】 LSI 上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを決定するスキャンパスレイアウト方法において、

前記スキャンパス回路用のレイアウト領域を予め確保したのちに前記通常回路のレイアウトを決定し、前記通常回路のレイアウトを決定したのちに前記レイアウト領域に前記スキャンパス回路のレイアウトを決定し、

さらに、前記通常回路に供給されるクロックとは異なるクロックを前記スキャンパス回路に供給するためのクロックドライバを配することを特徴とするスキャンパスレイアウト方法。

【請求項 4】 前記クロックドライバを、前記スキャンパス回路を伝搬するスキャンテストデータの搬送方向に対して逆の方向から前記クロックを供給する位置に配することを特徴とする請求項 2 又は請求項 3 記載のスキャンパスレイアウト方法。

【請求項 5】 前記レイアウト領域が、前記スキャンパス回路の配線を直線に配するための領域である請求項 1 乃至 4 の何れか 1 項記載のスキャンパスレイアウト方法。

【請求項 6】 LSI 上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを有する半導体集積回路において、前記スキャンパス回路の配線が直線配置されたレイアウトを有することを特徴とする半導体集積回路。

【請求項 7】 LSI 上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを有する半導体集積回路において、前記通常回路に供給されるクロックとは異なるクロックを前記スキャンパス回路に供給するためのクロックドライバを有することを特徴とする半導体集積回路。

【請求項 8】 LSI 上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを有する半導体集積回路において、前記スキャンパス回路の配線が直線に配されたレイアウトを有し、かつ前記通常回路に供給されるクロックとは異なるクロックを前記スキャンパス回路に供給するためのクロックドライバを有することを特徴とする半導体集積回路。

【請求項 9】 前記クロックドライバが、前記スキャンパス回路を伝搬するスキャンテストデータの搬送方向に対して逆の方向から前記クロックを供給する位置に配されることを特徴とする請求項 7 又は請求項 8 記載の半導体集積回路。

【請求項 10】 請求項 1 乃至 5 の何れか 1 項に記載のスキャンパスレイアウト方法により設計された半導体集積回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、LSI（大規模集積回路）内でレイアウトされるスキャンパスレジスタ等のシフトレジスタ構成の回路において、前記 LSI をスキャンパス回路の配線による面積ダメージを最小限に抑え、レジスタ間のホールドのタイミングを保証するスキャンパスレイアウト方法及び半導体集積回路に関する。

【0002】

【従来の技術】 近年、LSI の故障を検出する方法としてスキャンテストを行うためのスキャンパス回路を組み込んだ設計が主流となっている。スキャンパス回路を付加するには、レイアウト時において LSI の組み合わせ回路中にスキャンパス回路を予め組み込み、組み合わせ回路及びスキャンパス回路を同時に配置・配線する必要がある。

【0003】 図 5 は従来のスキャンパスレイアウト工程を示しており、スキャンパス回路の配線が行われていない回路情報を示す初期ネットリストを作成し（S501）、初期ネットリストに対しレイアウト前にスキャン回路を挿入する（S502）。これにより、LSI の組み合わせ回路にスキャンパス回路が組み込まれ、この状態でセル配置処理（S503）、セル配線処理（S504）を実行する。その後、セル配置処理・セル配線処理されたレイアウトでのタイミングを解析し（S505）、解析結果に基づいて部分的にタイミングを調整し、レイアウト全体におけるタイミングを改善する（S506）。

【0004】

【発明が解決しようとする課題】 しかしながら、従来のレイアウト方法では、セル配置処理工程（S503）、セル配線処理工程（S504）において、スキャンパス回路が通常の組み合わせ回路と同等に扱われるため、スキャンパス回路の配線が最適化され難い。また、これに

伴いスキャンパス回路以外の通常の組み合わせ回路の配線も影響を受け、結果としてLSIの面積の増大を招く。

【0005】また、スキャンパス回路はシフトレジスタ構成であるため、動作クロックの遷移速度がスキャンテストデータの遷移速度より遅くなると、いわゆるホールドタイミングの問題が発生する。ホールドタイミングの問題は、タイミング解析結果に基づいて部分的にバッファ等の遅延素子等を追加し遅延量を調整することにより解決することができる。スキャンパス回路の面積増大を回避するために、追加する遅延素子等の数は少ない方が好ましいが、スキャンパス回路の配線が最適化されない場合、多くの遅延素子等を追加しなければならず、スキャンパス回路の面積は一層増大する。さらに、追加する遅延素子等の数が増えると工程数が増加し、レイアウト後のタイミング改善処理に時間がかかる。

【0006】本発明は、上記従来の課題を解決するもので、スキャンパス回路を組み込むことによるLSIのチップ面積の増大を最小限に抑えることができスキャンパスレイアウト方法及び半導体集積回路を提供することを目的とする。また、レイアウト後のタイミング改善処理においてスキャンパス回路に追加する遅延素子等の数を最小にし工程数を削減することができるスキャンパスレイアウト方法及び半導体集積回路を提供することを目的とする。

【0007】

【課題を解決するための手段】この目的を達成するために、請求項1に記載のスキャンパスレイアウト方法は、LSI上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを決定するスキャンパスレイアウト方法において、前記スキャンパス回路用のレイアウト領域を予め確保したのちに前記通常回路のレイアウトを決定し（S103、S104）、前記通常回路のレイアウトを決定したのちに前記レイアウト領域に前記スキャンパス回路のレイアウトを決定する（S105）、ことを特徴とする。

【0008】請求項2に記載のスキャンパスレイアウト方法は、LSI上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを決定するスキャンパスレイアウト方法において、前記通常回路に供給されるクロックとは異なるクロックを前記スキャンパス回路に供給するためのクロックドライバを配する（S302、S308）ことを特徴とする。

【0009】請求項3に記載のスキャンパスレイアウト方法は、LSI上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを決定するスキャンパスレイアウト方法において、前記スキャンパス回路用のレイアウト領域を予め確保したのちに前記通常回路のレイアウトを決定し、前記通常

回路のレイアウトを決定したのちに前記レイアウト領域に前記スキャンパス回路のレイアウトを決定し（S304、S305）、さらに、前記通常回路に供給されるクロックとは異なるクロックを前記スキャンパス回路に供給するためのクロックドライバを配する（S302、S308）ことを特徴とする。

【0010】請求項4に記載のスキャンパスレイアウト方法は、前記クロックドライバを、前記スキャンパス回路を伝搬するスキャンテストデータの搬送方向に対して逆の方向から前記クロックを供給する位置に配することを特徴とする。

【0011】また、請求項6に記載の半導体集積回路は、LSI上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを有する半導体集積回路において、前記スキャンパス回路の配線が直線配置されたレイアウト（スキャンパス配線領域212）を有することを特徴とする。

【0012】請求項7に記載の半導体集積回路は、LSI上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを有する半導体集積回路において、前記通常回路に供給されるクロックとは異なるクロックを前記スキャンパス回路に供給するためのクロックドライバ（クロックドライバ411）を有することを特徴とする。

【0013】請求項8に記載の半導体集積回路は、LSI上に配置される通常回路にスキャンテストを実行するためのスキャンパス回路を付加したレイアウトを有する半導体集積回路において、前記スキャンパス回路の配線が直線に配されたレイアウト（スキャンパス配線領域212）を有し、かつ前記通常回路に供給されるクロックとは異なるクロックを前記スキャンパス回路に供給するためのクロックドライバ（クロックドライバ411）を有することを特徴とする。

【0014】また、請求項9に記載の半導体集積回路は、前記クロックドライバが、前記スキャンパス回路を伝搬するスキャンテストデータの搬送方向に対して逆の方向から前記クロックを供給する位置に配されることを特徴とする。

【0015】請求項1及び請求項6に係わる発明によれば、スキャンパス回路用の配線領域を予めレイアウト上で予約処理し、通常の組み合わせ回路の配線処理の後に、スキャンパス回路の配線処理を行うことにより、スキャンパス回路の配線処理及び通常の組み合わせ回路の配線処理を最適化することができ、スキャンパス回路を付加したことによるLSIの面積増大を最小限に抑えることができる。

【0016】請求項2及び請求項7に係わる発明によれば、スキャンパス回路用の専用クロックを用いることにより、最小限の配線リソースでスキャンパス回路を配線処理することができる。

【0017】請求項3及び請求項8によれば、スキャンパス回路の配線処理及び通常の組み合わせ回路の配線処理を最適化するとともに、最小限の配線リソースでスキャンパス回路を配線処理することができる。

【0018】請求項4及び請求項9に係わる発明によれば、スキャンパス回路を伝搬するスキャンテストデータの伝搬方向に対して逆方向に伝搬するクロックを供給するスキャン回路用クロックドライバを配置することで、スキャンテストデータに対してクロックの遷移速度を速くすることを保証できるため、ホールディングの問題が解消され、タイミング改善処理が不要となる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態におけるスキャンパスレイアウト方法について図面を参照しながら説明する。図1は、本発明の第1の実施の形態におけるスキャンパスレイアウト方法を示す工程図である。まず、スキャンパス回路の結線が行われていない回路情報を示す初期ネットリストを作成し（S101）、初期ネットリストに基づきセル配置処理を実行する（S102）。次に、スキャン回路用配線領域予約処理によってスキャンパス回路用の配線領域を確保し、（S103）、セル配線処理によってスキャンパス回路以外の通常の組み合わせ回路の配線処理を行う（S104）。さらに、スキャン回路配線処理によってスキャンパス回路の配線処理を行う（S105）。その後、通常の組み合わせ回路の配線処理、及びこれ続くスキャン回路の配線処理が施された回路のレイアウト情報に基づきタイミングを解析するタイミング解析処理を実行し（S106）、さらに、解析結果に基づいてレイアウトのタイミングを改善するレイアウトタイミング改善処理を行う（S107）。

【0020】さらに、図2に示す部分レイアウトを参照して説明する。図2において、201はセルを配置する領域であるセル列、202～207はスキャンレジスタ以外の通常の組み合わせ回路、208～211はスキャンレジスタ、212はスキャンパス配線領域、213はスキャン制御配線領域、214～217はスキャンレジスタのスキャン入力端子、218～221はスキャンレジスタのスキャン出力端子、222～225はスキャンレジスタのスキャン制御端子である。

【0021】セル配置処理工程（S102）で、セル列201上に組み合わせ回路202、207及びスキャンレジスタ208、211を配置する。スキャン回路用配線予約処理工程（S103）で、セル列201内のスキャンパス回路の配線が、スキャン入力端子214～217、スキャン出力端子218～221、及びスキャン制御端子222～225上に直線で配線されるようスキャンパス配線領域212及びスキャン制御配線領域213を確保する。セル配線処理工程（S104）では、スキャンパス配線領域212及びスキャン制御配線領域21

3以外の配線領域を使用してスキャンパス回路以外の通常の組み合わせ回路の配線処理を行う。スキャン回路配線処理工程（S105）で、スキャン回路用配線予約処理103で確保したスキャンパス配線領域212を用いてスキャン入力端子214～217及びスキャン出力端子218～221のスキャンパス配線処理を行い、スキャン制御配線領域213を用いて、スキャン制御用端子222～225の配線処理を行う。

【0022】スキャンパス回路の配線処理とスキャンパス回路以外の通常の組み合わせ回路の配線処理とを分離し、スキャンパス回路の配線を配置するための直線領域をスキャンパス配線領域として予め確保したのち、通常の組み合わせ回路の配線を配線することにより、通常の組み合わせ回路の配線はスキャンパス回路の配線に影響を受けることなく最適化される。さらに、スキャンパス回路の配線を予め確保された直線領域に配線することができるため、スキャンパス回路の配線長を最小限に抑えて最適化することができる。これにより、スキャンパス回路を付加することによるLSIのチップ面積の増大を最小限に抑えることができる。

【0023】図3は、本発明の第2の実施の形態におけるスキャンパスレイアウト方法を示す工程図である。まず、スキャンパス回路の配線が行われていない回路情報を示す初期ネットリストを作成し（S301）、セル配置処理工程（S303）に先立ち、初期ネットリストに基づいて、スキャン回路用クロック配置領域予約処理によってスキャンレジスタのクロックドライバ配置領域を確保する（S302）。次に、セル配置処理によって通常の組み合わせ回路の配置処理を行い（S303）、スキャン回路用配線領域予約処理によってスキャンパス回路用の配線領域を確保し（S304）、セル配線処理によってスキャンパス回路以外の通常の組み合わせ回路の配線処理を行う（S305）。その後、スキャンパス回路の配線処理が施されたレイアウト情報に基づきスキャンパス回路以外の通常の組み合わせ回路を対象としてタイミングを解析するタイミング解析処理を実行し（S306）、さらに、解析結果に基づいてレイアウトのタイミングを改善するレイアウトタイミング改善処理を実行する（S307）。スキャンパス回路以外の通常の組み合わせ回路を対象とするタイミング改善処理が終了したあとに、スキャン回路用クロック配置領域予約処理工程（S302）で予め確保された領域にスキャン回路用クロックドライバを配置し（S308）、さらに、スキャン回路配線処理によってスキャンパス回路の配線処理を行う（S309）。

【0024】さらに、図4に示す部分レイアウトを参照して説明する。図4において、401はセルを配置する領域であるセル列、402～406はスキャンレジスタ以外の通常の組み合わせ回路、407～410はスキャンレジスタ、411はスキャン回路用クロックドライ

バ、412はスキャンバス配線領域、413はスキャン制御配線領域、414はスキャンクロック配線領域、415～418はスキャン入力端子、419～422はスキャン出力端子、423～426はスキャン制御端子、427～430はスキャンクロック入力端子、431はスキャンクロック出力端子、433はスキャンクロック入力端子である。

【0025】スキャン回路用クロック配置領域予約処理工程(S302)で、セル列401上にスキャン回路用クロックドライバ411の配置領域をスキャンバス回路に供給されるスキャンテストデータの伝搬方向に対して逆方向に伝搬するスキャンクロックを供給できる位置に確保する。セル配置処理工程(S303)で、セル列401上に組み合わせ回路402～406とスキャンレジスタ407～410を配置する。スキャン回路用配線予約処理工程(S304)で、セル列401内のスキャンバス回路の配線が、スキャン入力端子415～418、スキャン出力端子419～422及びスキャン制御端子423～426並びにスキャンクロック入力端子427～430、スキャンクロック出力端子431及びスキャンクロック入力端子433上に直線で配線されるようにスキャンバス配線領域412、スキャン制御配線領域413及びスキャンクロック配線領域414を確保する。セル配線処理工程(S305)では、スキャンバス配線領域412、スキャン制御配線領域413及びスキャンクロック配線領域414以外の配線領域を使用してスキャンバス回路以外の通常の組み合わせ回路の配線処理を行う。タイミング解析処理工程(S306)でスキャンバス回路以外の通常の組み合わせ回路を対象とするタイミング解析を実行し、レイアウトタイミング改善処理工程(S307)で、解析結果に基づいてタイミングを改善し遅延量を所定の範囲内に収束させる。その後、スキャン回路用クロック配置処理工程(S308)で、スキャン回路用クロック配置領域予約処理工程(S302)で予め確保された領域にスキャンレジスタのクロックドライバ配置領域にスキャン回路用クロックドライバ411を配置する(S308)。その後、スキャン回路配線処理工程(S309)で、スキャン回路用配線予約処理工程(S304)で予め確保したスキャンバス配線領域412にスキャン入力端子415～418、スキャン出力端子419～422を形成し、スキャンバス配線処理を施し、スキャン制御配線領域413にスキャン制御端子423～430を形成し、配線処理を施し、スキャンクロック配線領域414にスキャン回路用クロックドライバ411のスキャンクロック出力端子431、スキャンクロック入力端子433及びスキャンクロック入力端子427～430を形成し、配線処理を施す。

【0026】第2の実施の形態では、第1の実施の形態におけるスキャンバス回路の配線及び通常の組み合わせ回路の配線の最適化に加え、スキャンバス回路用の専用

クロックを用いることにより、最小限の配線リソースでスキャンバス回路を配線処理することができる。このため、スキャンバス回路を組み込むことによるLSIの面積の増大を抑えることができる。さらに、専用クロックの伝搬方向とスキャンテストデータの伝搬方向を逆にすることにより、スキャンテストデータに対して専用クロックの遷移速度を速くし、スキャンテストデータをレジスタで確実にホールドすることができるため、ホールドタイミングの問題が解消される。

【0027】

【発明の効果】以上のように、本発明は、スキャンバス回路用の配線領域を予めレイアウト上で予約処理し、通常の組み合わせ回路の配線処理の後に、スキャンバス回路の配線処理を行うことにより、スキャンバス回路の配線処理及び通常の組み合わせ回路の配線処理を最適化することができ、スキャンバス回路を付加したことによるLSIの面積増大を最小限に抑えることができる。

【0028】さらに、スキャンバス回路用の専用クロックを用いることにより、最小限の配線リソースでスキャンバス回路を配線処理することができ、スキャンバス回路を組み込むことによるLSIの面積増大を抑えることができる。また、回路のレイアウト前にスキャンバス回路を伝搬するスキャンテストデータの伝搬方向とは逆方向に伝搬するクロックを供給するスキャン回路用クロックドライバを配置することで、ホールドタイミングの問題を回避することができタイミング改善処理が不要となる。

【図面の簡単な説明】

【図1】本発明に係わる第1の実施の形態のスキャンバスレイアウト方法を示す工程図。

【図2】本発明の第1の実施の形態のスキャンバスレイアウト方法により設計された集積回路の部分レイアウト図。

【図3】本発明の第2の実施の形態のスキャンバスレイアウト方法を示す工程図。

【図4】本発明の第2の実施の形態のスキャンバスレイアウト方法により設計された集積回路の部分レイアウト図。

【図5】従来のスキャンバスレイアウト方法を示す工程図。

【符号の説明】

- 101, 301, 501 初期ネットリスト
- 102, 303, 503 セル配置処理
- 103, 304 スキャン回路用配線領域予約処理
- 104, 305, 504 セル配線処理
- 105, 309 スキャン回路配線処理
- 106, 306, 505 タイミング解析処理
- 107, 307, 506 レイアウトタイミング改善処理
- 201, 401 セル列

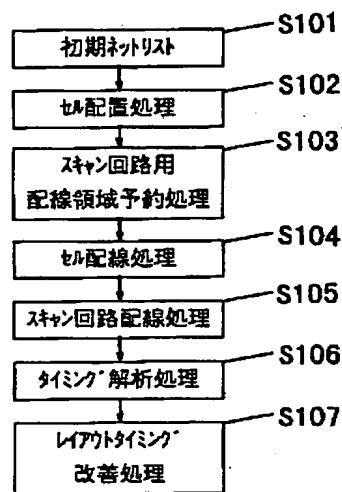
202, 207, 402, 406 組み合わせ回路
 208, 211, 407, 410 スキャンレジスタ
 212, 412 スキャンバス配線領域
 213, 413 スキャン制御配線領域
 214, 217, 415, 418 スキャン入力端子
 218, 221, 419, 422 スキャン出力端子
 222, 225, 423, 426 スキャン制御端子

【図 1】

302 スキャン回路用クロック配置領域予約処理
 308 スキャン回路用クロック配置処理
 411 スキャン回路用クロックドライバ
 414 スキャンクロック配線領域
 427, 430 スキャンクロック入力端子
 431 スキャンクロック出力端子
 433 スキャンクロック入力端子

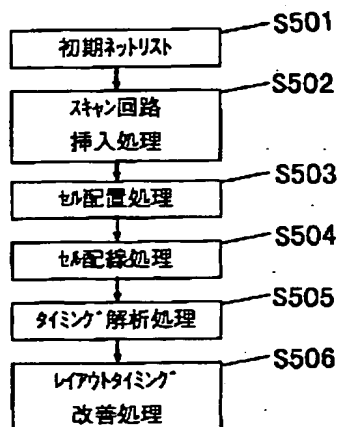
【図 2】

本発明の工程図

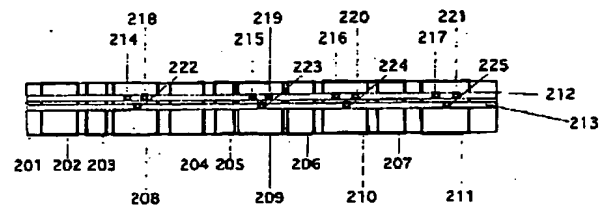


【図 5】

従来のスキャンバスレイアウト工程図

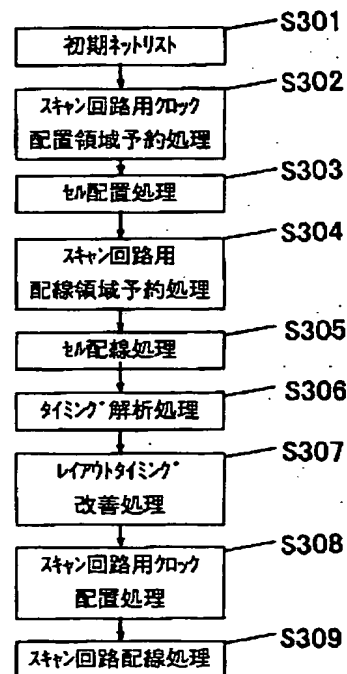


本発明の図 1 の実施形態におけるスキャンバスレイアウト図



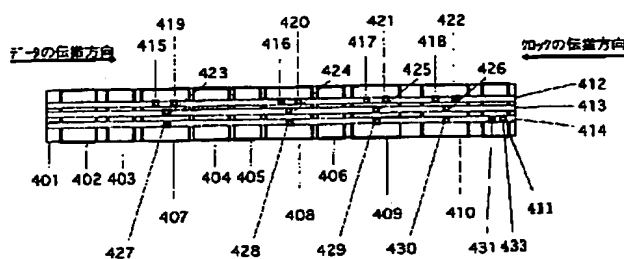
【図 3】

本発明の工程図



【図 4】

本発明の第2の実施形態におけるスキャンバスレイアウト図



フロントページの続き

(51) Int. Cl.⁷

H01L 21/822

識別記号

F I

G01R 31/28

H01L 21/82

27/04

テーマコード (参考)

F

W

T

F ターム (参考) 2G032 AA00 AB20 AC08 AC10 AE00
 AE08 AG07 AK16 AL00
 5B046 AA08 BA04
 5F038 CA03 CA05 CD06 CD08 DT06
 EZ09 EZ20
 5F064 BB18 BB26 DD25 DD39 EE03
 EE08 EE54 HH06 HH10